

# RISC ãŃãñãóôÝò: óôì ãñüì ì ãéá ôì PC

Í oí ðaŋí Úaē í ÷ñūííð ç ðá÷ííēí āāā āāāēlōóāāāē. Í Yāo āñ÷ēāēōí íēYō ēÚííōí ōē ðāēēYō íā ííēÚāíōí ēōōíñā. ÉāēāíēÚ ÷ōōūōí ēēāííōíēāā íēā āāōēē ðñíōðūēāōç: íā āēāōçñāā ōçí āðēūōçōā. Ç āēíìç÷āíā ōūí ēāōāōēāōāōōpí āðāíāñāāōōpí òñūííēōā íā ōōí āēāāōāāā ðāñY÷ííōāō ēāñāēYō/āðāíāñāāōōYō íā íēñūōāñí ōyííēí āíōíēpí ōōí āñāōāāñí íāō āēēÚ, íā ðēí ēō÷ōñū āāēYōāēí.

# Ôá ỒỪí ôá...RISC

[illegible]

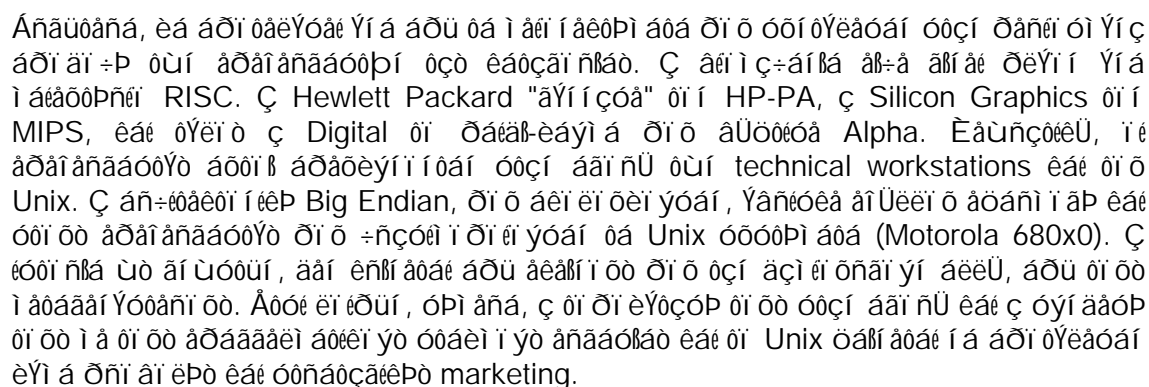
A̋e̋i̋ e̋i̋ ð̋e̋i̋ y̋i̋ ā̋ā̋ ũ̋e̋i̋ é̋ ā̋n̄÷t̄ōa̋e̋ői̋ í̋e̋e̋P Little Endian, ā̋ç̋e̋ā̋ā̋P ō̄ā̋ ø̄ç̄ō̄b̄ā̋ ō̄ū̄i̋ ē̄ȳi̋ā̄ū̄i̋ (word bits) ā̋n̄e̋i̋ ÷̄ ȳi̋ ō̄ā̋ ā̄ō̄ū̋ ā̄ā̄t̄ē̄ Ō̄ñ̄i̋ ò̄ ō̄ā̋ ā̄n̄ēō̄ā̄n̄ū̋, ā̄ō̄ū̋ ō̄i̋ ē̄ē̄ā̄ū̄ō̄ā̄ñ̄i̋ ō̄ç̄i̋ ā̄í̄ ō̄ē̄ē̄ū̋ bit ð̄ñ̄i̋ ò̄ ō̄i̋ ð̄ē̄ȳi̋ ō̄ç̄i̋ ā̄í̄ ō̄ē̄ē̄ū̋. Ĭ ð̄i̋ ñ̄i̋ ȳi̋ í̄ā̋ ō̄ō̄í̄ ā̄ō̄ā̄ō̄ō̄i̋ ȳi̋ Ĭā̋ ā̄n̄ēi̋ ç̄ō̄ē̄i̋ ȳō̋ ō̄ō̄í̄ ā̄ð̄ā̄í̄ ā̄ñ̄ā̄ā̄ō̄ō̄ȳō̋ (numeric coprocessors) ð̄ñ̄i̋ ē̄ā̄ē̄ Ȳi̋ ò̄ í̄ā̋ ð̄ō̄í̄ ō̄ō̄ç̄ñ̄ñ̄i̋ ō̄í̄ ē̄ā̄ē̄ í̄ā̋ ā̄ē̄ō̄ā̄ē̄ȳō̄i̋ ō̄í̄ ð̄ñ̄ū̄i̋ ā̄ē̄ō̋ ā̄n̄ēi̋ p̄í̄ ē̄ē̄ ç̄ō̄p̄ō̋ ð̄ō̄í̄ ā̄ē̄ā̄ō̄ō̄i̋ ē̄p̄ō̋ (floating point operations). Ĭ ē̄ ā̄ð̄ā̄í̄ ā̄ñ̄ā̄ā̄ō̄ō̄ȳō̋ ā̄ō̄ō̄i̋ Ì̄ ā̄ñ̄i̋ ā̄ē̄ "ā̄ē̄ ñ̄ā̄ō̄ē̄i̋" ā̄ç̄ēā̄ā̋ ā̄ē̄ā̄ā̄ū̄ē̄i̋ ō̄í̄ ð̄ñ̄i̋ ē̄ā̄ō̄ā̄i̋ ē̄ē̄ē̄ū̋ ā̄ē̄ā̄i̋ ÷̄ē̄ȳō̋ ā̄í̄ ō̄i̋ ē̄ȳō̋ ō̄ō̄ç̄ Ĭ Ĭ p̄i̋ ç̄ ē̄ā̄ē̄ ō̄ē̄ō̋ ā̄ō̄i̋ ē̄ç̄ē̄ā̄ȳi̋ ō̄í̄. ō̄ō̄i̋ ð̄ō̋ ā̄ē̄ā̄ē̄ȳō̄ē̄i̋ Ĭ ð̄ō̋ ē̄ā̄ō̄ā̄÷ū̄ñ̄ç̄ō̄ȳō̋.

Oī pipelining (oūēpī uōç), p aēēēpō, ç ÷nī īēēp ādēūēōōç ōçō āēōYēāōçō oūī āī ōī ēpī  
 āōōpī, ī ōī nāī īā ādēāō÷ēāī ī uīī āūī āāī ōānī ōēāōōī yī ōnī āēpī āōā āēāēēūāūōçō  
 ī ā ōōīYōāēā īā āōīnēēōī yī ēāē īā īāīāāī āē ōī set-up ōī ō īīçōī yī āāūāī yī ōūī  
 ēāōā÷ūnçōpī ōī ō ōōī ī āōā÷āī ōōç āēāāēāōā. ī ē āīōī ēYō ōūī āōāīānāāōōpī āōōpī  
 ēāōāōūōōī ōī ōā ōōōōpī āōā ōī ō ōī ōō "āāēāēūēī ōī" ōō ōōī ēī āēōōYō CISC (Complex  
 Instruction Set Computers). ī ānēēī ōō ōūī āī ōī ēpī ōī ō ōānY÷āē ēūēā āōāīānāāōōpō.  
 āī āīānōpōūō ān÷ēāēōī īēēpō, ēōī āīī āōāē āōū ālēī ōē Yūō ōnēāēūōēāō. Ūōōūōī, Yī ā  
 ī āāēyōānī ōyīī ēī āī ōī ēpī āāī ōçī āīī āē ēāē ēāēyōānī ōyīī ēī. ī Ūēēōōā ōī āī ōēāōī.  
 ōāīī āōāē īā ōōī āāīī āē. Āīā ōī ēōī āēYō ōyīī ēī āī ōī ēpī ōānēāī āūī āē āī ōī ēYō ī ē  
 ī ōī āōā āāī āīī āē āāī ēYō, īā āōī ōYēāōīā Yīā ōyīī ēī āōēī yōōānūī āī ōī ēpī īā  
 āōāī āēāī āūī āōāē. Ōōā ōççēūōānā ī Ūēēōōā āōōōāā, āēāīī ā ōūī compilers, ōāīī āōāē īā  
 ēāēōī ōnāī yī ēāēyōānā ī ē āōāīānāāōōYō ōī ō ī āēūī Yīī ō ōōī ūēī ō āī ōī ēpī.

# ÁõâäÖÛããëôá RISC

H Intel aar poar aYaadaa c i uic i o Yi aeea i a ae i aadaaadaa oca an=aaeoi i ee a oop. Eepiri e ou i a aiaaanaa a oop oca a oop a an=aaeoi i ee a ai oai boocaai oca ooi Ya=aa eae a ooea o oai oca oia oca aai n uo ou i o ni o u o e e p i o o i e i a e o e e p i o o o o c i u o u i . Da n U e e c e a , i e a U e e c a n = a a e o i i e e p a b = a a i o a i e o a b . A o o p a a o e u o a i o a Y i a i a e u i Y i i , a e e U e o = o n u o a n i , o y i i e i a i o i e p i o i o a a i a n a a o o p . O i u i i i a a o o p o R I S C ( R e d u c e d I n s t r u c t i o n S e t C o m p u t e r s ) . C e A i i o i n a b i a a b = a a o i a a = e a b o o i o o e u e o i o o o u i . o o i e i a e o e e p i o o o o c i u o u i o c o o i o o I n t e l a e e U o o a = n u i u o a o i o u o e o a i a o a n U a a e Y i a a e n e a u i c = u i c i a , o i i I B M R T P C ( R i s c T e c h n o l o g y P C ) i i o i b i o , a e a o i i a o i u c o i o o e u a i o o , i u i i e o o i n e e p o c i a o b a a o Y e o c o a . I e a U e e c i a a U e c a o a e n a b a o i o

The diagram illustrates the architecture of a RISC CPU. At the top, a blue banner contains the text "RISC CPU". Below this, a large black-bordered rectangle represents the CPU core. Inside the core, at the top, is a box labeled "instruction cache". A vertical line connects it to a box labeled "Prefetch/ Special Decoder". Below this decoder, the core is divided into two main execution paths: "Integer Execution Unit & Registers" on the left and "F.P. Execution Unit & Registers" on the right. These two units are connected to a central box labeled "Sets of Registers". To the right of the execution units, the label "ALU" is present. Below the "Sets of Registers" is a box labeled "Data cache". To the right of the "Data cache" is the label "Control Unit". Outside the CPU core, to the right, are two boxes: "Memory" and "Memory Management Unit". At the bottom of the core, a box labeled "Output Buffers" is connected to the "Data cache".



Ôá ðëàí í âêòðì áóá ôùí RISC áðâîãñãáoòþí, óóí'í òêèí í ôáé ùò áèí èí ýèùò:

- [illegible]

Αί ει έυίτι όί ά άέύόάνα, ί όί νί γί ά ί ά άί άέάέύόί όί ά όά όήάάί άόέύ όέάί ί άέόπí άόά όύί άόάί άήάάόόπí άόόπí, ύόύό:

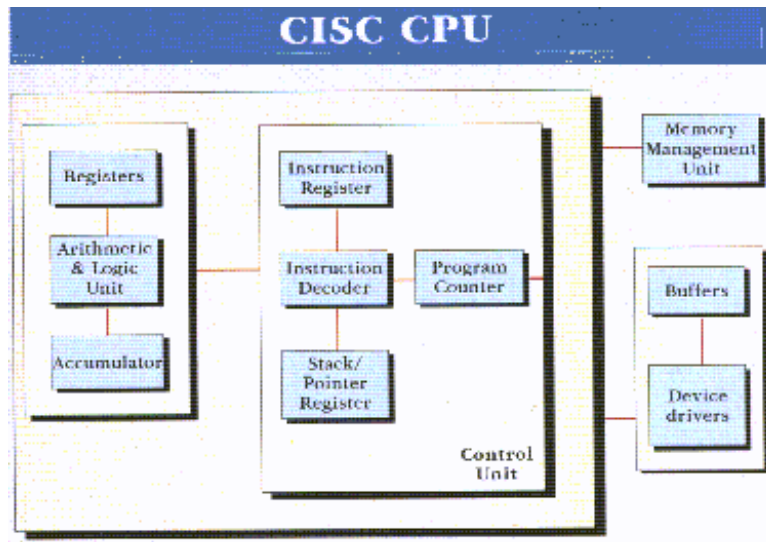
- ę άόί άόύόόά άέόέάόόό όήήέόόύόήύί άί όί έπí άί ύ ÷ñύίí έέέεί ό όόό ί ί πí ęό
- ę έάέύάέύί γί ę π ί έέήί όήί άήάί ί άόέύί άί ę άόί έύάέέί όί έόόό όύί άί όί έπí
- ę όύέπí ύόό όύί έάέί όήάέπí όί ό, άόύ άγί γύό άόόύ άόέόάά
- ę γόάήί ę cache ί ί ę πí άά όά άάί ί γί ά έά έέ άί όί έγó
- ί έ "άόί άόί έ" όόί άόάί άήάάόόγó άά άί όί έγó έέ ęόό όόί άάόόί έόό όί ό άέί έί όέί γί όί όήύόόόί έάά 745
- άόί άόύόόά άέέέάόόό όόά 64-bit όόόόπí άόά, ί ά ύέάό έέ άόέί έέάό όί ό άόό όόί άόύάάάέ

ί έ "έάήάέγó" RISC όόήήέί όί όόί ό÷άάάόό έάέ όόί έάέί όήάά όί όό όόέό άή÷γó όόό άί άέάέάόί γί ęό άήάάόάό έάέ όύί άί ęέόέέπí όόήάόέπí. Άόέ, γ÷ί όί ί ά÷ύήέόόπ ί ί ί ύάά άέόέάόό όήύί άύί άέάήάύί, ί ά όί όό άί έόόί έ÷ί όό registers, έάέ ύέέ ę ί ί ί ύάά άόάί άήάάόάό έάέ registers άά όόί άέόέάόό όήύί άύί έέ ęόό όόί άάόόί έόό. Άί άό άέύί ά άά÷ύήέόί ύό όί ό έύίί όί άή άέ ί άόάί γ data έάέ code, άέάήπí ί ί άό ί έá cache άά όόί άόί έέέάόόό έάέ ά÷γóόό άί ύέέόόό όί όό. ί άόί έύάέέί όί έόόόό όύί άί όί έπí (Instruction decoder-IR) άή άέ ύόύό όήί άί άόγήέέά άάά έάέύάέύί γί ί ό άάά ί έέήί όήί άήάί ί άόέύί άί ί ό. Όγί όύί ά ί ά όόί όήόόό ά÷ί έέπ, άόί όάόάάάέ όί έγ άήπáί ήά όί έύ άή άέ ę άόύί άί ę άί όί έπ όήί ό άέόέάόό έάέ άάόί άγáάέ ί όόέέέέί ό όί ό έέέεί ό άέγá÷ί ό έάόύ όί ί ί όί έ έά άέόάέάόάά.

ί ά όόί άάγóάή ę ά÷ί έέπ άόί όάόάάάέ, ί ά όό ÷ήόόό άί ύό άέέέέί ί bit, ę άί άήάί όί έόό π ÷έ όύί έάόύέέέύί όόί έί άέόέέπí έάέ έί άέέπí έέέέύί ύόύί όί ό άόάί άήάάόόπ άά ί ά άί άέέέέί γί έάέ ί ά άέάέάόόί γί ί έ άί όί έγó όί ό. Όά όόί άόάόί ύ έί έόύί ί ά έέό ί ί πí άό όόέέόό ά÷γóόáó (cache) έάέ όόί άί άέάέάόόό όί όό όά data cache έάέ code cache, άέέόί ÷ύί άάέ όί έγ ί άάύέ ę ά÷γóόá έάέ άέέέέέέέ άέάύόάά. ί έ όγá÷ήί ί έ άόάί άήάάόόγó RISC ί όί ήά ί ά άή άέ έάέ όάήύέέέέί, όόί άόύέί ί άό άγί π όήήέόόύόήί όό άόάί άήάάόόγó έάέ όί έέάέέέ άήέί ęέέέέέ/έί άέέέέ ί ί ί ύάά άί άέάέάόί γί ęό έάέί όήάάό. Άέέέέί, όά άόέόάάά όύέπí ύόόό όόί όό RISC, όά όόί άόάόί ύ ί ά όί ί άόί ęί γί ί άήέί ύ registers, άέέήγóί όί άέύί ά ί άάέýóάή άγί ęόό όόόί ά÷γóόá άόάί άήάάόάό όύί άί όί έπí.

### Έάό' άί έέόάήέέάό

ę άί ί π όύί RISC, όί ό ί ύέέό όήέήήύόέέá, όάή άόάέ ί ά άή άέ γί ά όόάήόγίί έί όύί άόί άόί όόόύί όύί CISC ÷ύήό ί ά γ÷έ έέέέάέ έέόί όά άόύ άόόί γó. Όά έί έί ύ ÷άήάέόήέόέέύ όί όό άή άέ ί ύί ί ί έ άή÷γó όόό γόάήί ę registers, ALU έάέ έέέέέύί ύόύί άόί έύάέέί όί έόόόό έάέ άέγá÷ί ό. Άόόύ όί ό έάόάόγήίί όί ύόόύόί άή άέ όάέί ί ί άί έέύ όάήύáί ί ί. ί ά ί έέήύόάή instruction set έάόί ήέπíί όί γί όόί ά ί ά όήί όόάήύόί όί έέό άέάύόάέό όόό άή÷έάέόί ί έέό CISC.



Ç ááí nŮ áðũ òçí Ůëëç ðëáðñŮ Ý÷áë éó÷òñŮ áðë÷áëñŮ áðá áëá íá áðí ááñáë Ůòë íë òá÷íí ëí áëéŸò áëáðí ñŸò òũí äýí, CISC, RISC, éáë ç òðññí ÷Ů òí ò áí Ůò áðũ òí í Ůëëí ááí áðí òáëí ýí ðŮí óá òí ááóéũ ëñëŮñëí áëá òçí áðëñŮòçòç ëŮðíí ò. ÐáñŮáí íòáò Ůðũò:

- ç áðí òò÷á áðí äí ÷Ů áðũ òí òò éáðáóéáðáóóŸò software, éáë óòáëáëñëí Ýí á áðũ òí òò éáðáóéáðáóóŸò éáëí òñáëŮí óòóðçí Ůòũí éáë áòáñí í áŮí,
- ç òëí ðíŮçòç éáë ç ðñíŮèçòç ìũíí áðũ éáðáóéáðáóóŸò hardware íë íðíŮíë ðñí ìëí ýí òóçí ááí nŮ òá áëŮ òí òò óòóðŮí áðá,
- ç ìëñŮ áñáìŮ ðáñááũáŮ ðí ò ááí áðëñŸðáë íá áí áááë÷ëí ýí íë íëëí ííŮáò ëëñí áëáð éáë íá ðŸóí òí óðí áëũëí ðëá íë òëí Ÿò,
- ç áðíí íüçòç óýí ááóç ì á ì áí í í Ůí Ýí á éáëí òñáëŮ óòóðŮí áðá (áë.Unix),
- ç ááóí áíŮá ðñí áíëŮò éáë áíëí ðíŮçòç áðũ ìéá áòñáŮá áëŮí á òðííí áëóòëŮí óòóðçí Ůòũí éáë
- ç Ýí òòòç áëóðáëòëũòçòá éáë áíŮáñáóç áëá òçí áòáñí í áŮ íŸũí áðí äí òëũòáñũí ì áëũáũí ó÷áááóçò, ^éáëũñéóáí òóçí ðñí éáëí Ýí ç ðáñŮðòũòç òçí òý÷ç òũí RISC^^.

## Ç áí Ůáëç éáë ç éáðáíŮòç

Áñ÷ëŮ, ç ááí nŮ-óòũ÷í ò áëá òí òò RISC Ůóáí ç ááí nŮ òũí technical workstations. Í òáí Ůí Ůò áñí áë óá ëŸòç Ýí á chip íá òñŸ÷áë áòòŮ éáëí òñáëŮ óòóðŮí áðá, Ůòáí áñí áë éáðáóéáðáóí Ýí íŮóòá íá òí ðí éáðáŮáë óá Ýí á ìááŮëí óýíííí òðííí áëóòŮí, áðũ notebooks (áë. ÷áíçŮ éáðáíŮëũòç áíŸñááëáò, 3.3Volts), ìŸ÷ñë massive ðáñŮëëçëí òò servers, ðí ò ðáñíííí òí òçí ëŸòç òũí mainframes, áòòũ áñí áë ëŮòë Ůí áð ðñí çáí òí Ýí ò.

Óá áááðçí Ýí á éáëí òñáëŮ óòóðŮí áðá òũí áðëŮí ÷ñçóðŮí éá òñŸ÷ííí ìŸóũ áíííííŮòçò, áááí íũò áŸááéá ðí ò íáóçŮŮíáë ðëŮëí ò áíëññŮóáũí. Áí Ůí áóá óòëò áðí áòũòçòŸò òí ò áñí áë ç ðí éòáðáíáñáóŮá éáë ç òðííí òòŮñëíç multimedia software, full video éáë audio (áë. áðũáí òç áðáíáñááóŮáò ðñŮí áũí ëí çŮŮò òðííí áëáóííí òŮò).

Ĭ ě ^real time áoāñĭ ĭ āŷō áoĭ nĭ yĭ ōĭ ēēáōēŷō ááōōū÷ñĭ íáò áēāñāáóáò ōĭ ō ōñŷ÷ĭ ōĭ áóýā÷ñĭ íá^^. Ç CPU ōñŷōáē íá áēōáēāĭ ĭà ēŰōĭēá ÷ñĭ íēēá áōēēŰēōøç ōçĭ ĭēá

αεανασολα ι αου οει υεε, Υοοε ποοα ε εαεαι λα ι α ιαεει υ οα ι Υι α αι υοανηευ ααι ι υο οι αοαεαι εαε ι α οαεεπι αε ι Υοα οοα αοαει γι αι α ιι ιευ οανηεπιεα.

Οα αι υοανηευ ααι ι υοα εαε ιε εαει ηεοι Υι ιε ιηυι ιε αεοΥεαοο ουι αεανασεπι ο ι ο αεαευοι ο ι οει εαει οηαλα ο ι ο αοαιηασοοπ αοαει γι οει αεα-αηεο ουι αεαει οπι οοι οεευ (interrupt handling). Η οοι α-πδ αα α ι οεαουοοαο ουι αααι ι Υι υι ο ι ο ι ι οει γ ααυαι γ ουι registers ο ι ο ι ηοοι ι ο ι ε ι γ ι οαε οο ουεπι υο Υ-αε Υι α ι ααυει ευοοι ο αεα ο ι υααεοι α ο ι ο ααυαι γ (flush time) εαε οει αοαι αοηι ο ι αυοοπ ο ι οδ (set-up time) ι α οα ααι ι Υι α αεα οει αεοΥεαο ουο ι Υαδ αεανασολαδ αεα οει ι ο ι λα αεαευοεα ε οηι εαι γι αι ε.

Αυι ε ι ουι ο-ααεαοοα ε αοανι ι απ Υοοε ποοα ι α ι ε ι οανη-υηαλαε ε CPU οοει αουι αι ε αεανασολα οηε αεαεαοοα Υι α ι ααυει ι Υηι ο ο ι ο επαευ οο ουοα ιε RISC αοαιηασοουο εα αοι αυοι ο ι εαεοαηα. Αοι ι Υι υο, εα οηΥοαε ι α αηι αε ι Υοηοο ο ι ο ι ηυι ι ο ο ι ο αοαεαι ε ευεα οοι αεανασολα, ο ι ο οεαι υ αε ι α αεαεαοοα εα αεαεεποαε οει CPU, εαε α ι υεοο ουι αοαεποαυι οο αοανι ι απ οα αουαι οε. Ι ι ηεοι υο αα ο ι ο αοαιηασοοπ αου ο ι εαει οηαευ ογοοι α αηι αε αι ο ι ο οει α ι οευο, αοι γ εα οοι ηαυαοαε υι αοα ι α οει αοανι ι απ. ε ι αει αι ε ι αλα ε ι ουι οαεαε ο ι ο οει α ι οευοαηι ηυει. Οηεοι Υι α οει αλα ο ι ο αοαει γι οηι ο ι ι αηι αε οα αευει οεα:

- ε α ι υεοο αοαεποαυι οο real time αοανι ι απ,
- ε α ι υεοο εαι αυι ι ι οαδ οουοει οε ι ηευοαηαδ οοι επεαδ αεοΥεαοο (worst case analysis)
- ι ο-ααεαοι υο ι α υοι ο ι αοι αου εεαυοαηαδ αεανασολαδ,
- ι οηι ηαηι ι αοεοι υο ευεα ι λαδ αεανασολαδ Υοοε ποοα ι α αει αοαεεαγαοαε οει CPU αεοαεπι οα Υι α ι ααυει ι Υηι ο ο ι ο επαευ οο, οηε οει αοι ααοι αγοαε,
- οοι ηαασολα εαε αοι αι οεε αει αουεαοοο ο ι ο εαει οηαει γ οοοοπι αοι ο

Ι ι ε compilers ο ι ο ααεοοοι ο ι ε ι γι ο ι ι επαεα (optimized compilers) αηι αε Υι α ι ηποει ι ηααεαηι. υοουοι, ο ι αοι οΥεαοι α ααι εα αηι αε ο ι αΥεοοοι αυι ααι οουη-αε εαεπ αι ποε ουι αεεεαοαηυοαυι ι αοαι γ ο ι ο επαεα οο αοανι ι απ εαε ο ι ο εαει οηαει γ οοοοπι αοι ο. Αι α οηαεει α ο ι ο αοοο οουη-αε αηι αε ε οοι ααουοοα ι αοαι γ ουι οα-ιεεπι αεοεοι οει αυοοοο εαε α ι αοι ηυο οο ι ι πι ε Little Endian (LE) εαε Big Endian (BE).

Εηι αε ο ι εΥ οεαι υ ι α ι ηευεα ε αουαι οε οει α ι οευ αου οε οοι α-π οηι οοΥεαοο οο ι ι πι ε οα ι εηυοαηα ε ι ι υοεα (αι υ byte, α ι ο ο ι εεαοεπι bytes), αεα ι α αηι αε ε ι αοαοηι οπ. Ε ι υεει ο ε οο-ι υοοα εαε ε οα-γοοα ουι οηι οοαευοαυι οα αοοπ αηι αε αου ο ι οδ οεΥι ι εαει ηεοοει γο οανυαι ι οαδ αοευ-οι οο οο αεοΥεαοο ο ι ο επαεα. Οα εαει οηαευ οοοοπι αοα ο ι ο οοι οοεηεοι ο ι ο οδ RISC Υ-ι ο ι οηι ι οοαε Υυο Υι α ααει υ ι α εγοι ο ι οηαεει α, οανΥ-ι ι οαδ εαε οα αγι mode οοι οο οηι ηαηι ι αοεουο. Αοου ο ι αοοοι-υι ο ι ι α Υι α ογι ι ει αεεεπι αι ο ι επι οοι αοαιηασοοπ ο ι ο α ι αεαι αυι ι ο ι οει ι αοαοηι οπ αου LE οα BE (byte reversal instructions).

Οοι ι PowerPC οουη-ι ο ι ογι ηαδ αι ο ι εΥο. Ι Υ-ηε οε οοεαι π ο ι ο ιε compilers, αεα οανυαεαι α οοο C, εα αηι αε οα εΥοε ι α αει ει οηαι γι αοουι αοα αοουο οε αι ο ι εΥο, οα οηι ηαυι ι αοα C εα ααοε ι οαε οοε assembly byte reversal αι ο ι εΥο.

Ōā āāīēēŸō āāāī ī Ÿō, ī ē āŌāīāāāāōōŸō RISC ī Ōī nī Ÿī í á āīōŌŌñāōPōī ōī Ÿī á Ōēpēī ō āōānī ī āpī, āŪī āīī āē ç ó=āāāāōP ōī ōō ī āēī āī ēī āēēŪ. ī ōāī āā ç āēā ç āōānī ī āP ōī āŌāēāā ēā ŌñŸŌāē í á ÷ñçŌēī ī Ōī ēçēī Ÿī. ŌōīāŌpō, ç áī ŪēōŌç ōūī áíāāēpī ēā ēāēī nīāāē ōç ÷ñçŌēī ūōçŌā ōçō ōā÷ŸōçŌāō, ōī ō pipelining, ōçō Ūī āōçō Ōñī ōŌŸēāōçō ī āāŪēŪī ōī çī ŪōŪī ōçō ī īPī çō, ōçō āñPāīñçō āēāēŌāñāñŪōçō āñēī çōēēpī ōŌī ēī āēōī pī Ōī ō ī ē RISC Ÿ÷ī ōī ōç āŸī āī ç í á Ōñī ōōŸñī ōī.

Elī āē ōāŌpō ç ōŪōç ōçō āāī nŪō í á āēī āōāēēāōōāā ōçī āñ÷ēēēōī ī ēēP RISC ōā āŌŌŌāāī āī ūō PC. Ç ī āōŪāāōç āŌū ōī ōō CISC, ōā ēāēōī ōñāēēŪ 32-bit, ēāē ōēō āōānī ī āŸō ōī ōō, ōŌī ōōçñāēōāē Pāç āŌū ōçī ēī ēī ūōçŌā ōçō Ōēçñī ōī nēēPō āāī nŪō. Āī ōāī āēī í ōāē ēāēōī ōñāēēŪ ōōōōPī āōā ēāē āñāāēāā Ōñī āñāī ī āēōī ī Ÿ ōā ī Ōī ā āāŌāēī ōāē ōōī ōō ī Ÿī ōō āŌāīāāāāōŸō. Ōā Ōñī āēpī āōā āīī āē áí āī ōēōāPōçŌā Ōī ēēŪ. Āē āōōū āī Ūēēī ō āñŪōī í ōāē ī ēūēēçñāō Ōñāāī āōāāō ī ē ī Ōī āō Ÿ÷ī ōī ūō ōēī Ōū í á ŌāñŪōī ōī ōçī ī Ÿā ōēēī ōī ōā, í á ōçī ēāōāōōPōī ōī ēāōāī ī çōP ēāē ōōç ōŌī Ÿ÷āēā ÷ñPōēī ç ēāē āŌī āī ōēēP.

### Āī ēēP Ōāī āāēŪōŪēç

ī ē áí ōēŌñī ōŪŌāōōēēī ā RISC āŌāīāāāāōŸō

#### **Digital Alpha**

ī āŌāīāāāāōōPō ōçō Digital āīī āē āŌū āēāīī ōō Ōī ō ōōī ī ī nōpīī í ōāē āŌūēōōā ī ā ōçī RISC āñ÷ēēēōī ī ēēP. ī Ōūō ōāīī āōāē ōōī ō÷Pī á, ç ALU āēāēŸōāē ī āā ī ī ī Ūāā āēāñāñŪī ēāē 32 ēāōā÷ŪñçŸō, ī āā ī ī ī Ūāā ēēī çōPō ōŌī āēāŌōī ēPō ēāē āŌŌçō 32 ēāōā÷ŪñçŸō. Ōī pipelining ōçō ī ī ī Ūāāō āēāñāñŪī Ÿ÷āē āōōŪ āŌŌŌāāā, āīP ōçō ī ī ī Ūāāō ēēī çōPō ōŌī āēāŌōī ēPō āŸēā.

Ōñī ēāēī Ÿī ī ō í á āŌēāō÷ēāā ōøçēP āŌūāī ōç ōī ō ī ī çōī Ÿ āāŪāī Ÿ ōçō ōŪēPī ūōçō, āīī āē āōī āōū ōī "Ōñī ōŌŸñāōī ā" (bypass) ī nēōī Ÿī Ūī ī ī ī ŪāñŪī āōōī Ÿ. Ōōī ī Alpha 21064 ōŌŪñ÷ī ōī 38 āēāŌī nāōēēŪ ī ī ī ī ŌŪōēā āēōŸēāōçō. ī ēā floating point āēāñāŌç ÷ñāēŪāōāē 31 ēŸēēī ōō āēā í á ī ēī ēēçñŪēāā ōā single precision ēāē 62 āēā double precision.

Ōī ēŸñēī ÷āñāēōçñēōōēēū ōçō ī ī ī Ūāāō āēŸā÷ī ō (control unit) āŌī ōāēāā ç ī ī ī Ūāā Prefetch & Decode Ōī ō áí āēāī āŪī āē ōçī Ōñī ōēūī ēōç āē ōūī Ōñī ōŸñŪī ī ā Ōñūāēāōç āēāēēāāPōāñŪī ēāē ōçī āŌī ēŪāēēī Ōī āçōç ōūī āī ōī ēpī. ī ēPāēāō ōūī āī ōī ēpī āī āōŪāōāē Ōñī ēāēī Ÿī ī ō í á āēāŌēōōŪēī Ÿī ī ē āŌāēPōāēō ōā registers ēāē āāī ēēūōāñā ōā Ōññī ōō ōçō CPU. ī ē registers āāī āēāŪāēī ōāē ēāōŪ ōçī āēŪñēāēā ōçō āŌī ēŪāēēī Ōī āçōçō, ēŪē Ōī ō ōōī āāīī āē ōōçī ŌāñŌŌŪōç ōūī āŌāīāāāāōōPī ōçō Intel.

ŌōōēēŪ, āāī ēāāŌī ōī ī ē āŸī āōēāñŪī Ÿī āō Ōī ēŸ āñPāī nāō ī ī Pī āō cache, 8ĒĀ ç ēāēāī āā, āēā ōā āāāī ī Ÿī á ēāē ōēō āī ōī ēŸō áí ŌŌŌī ē÷ā. H ī ī ī Ūāā Load/Store áí āēāī āŪī āē ōçī Ōñī ōŌŸēāōç ōōēō ī ī Pī āō cache. Āēā í á āŌī çēāā āēūī á Ōāñēōōūōāñī ç āŌūāī ōç áí ōŪī āōpēçēāī ōōī chip controllers PCI ēāē Memory ī ā āŸñī ō 64 bit.

#### **Hewlett-Packard PA (Precision Architecture)**

H Hewlett-Packard āāī ī Ōī nī Ÿōā í á ī āīī āē Ÿī Ū āŌū ōī Ōāē÷ī āē RISC. Ç ÇŪī ī ī ī ī Ūāāē ōçī āñ÷ēēēōī ī ēēP ōūī CPU Ōī ō ēāōāŌēāōŪāē āñ÷ēēēōī ī ēēP āēñēāāāō (Precision Architecture). ī āŌāīāāāāōŸō ōçō āīī āē āŌū ōī ōō ōā÷Ÿōāñī ōō. Ōī ēŸñēī ÷āñāēōçñēōōēēū ōī ō āīī āē ç āēāēP ō÷āāāōP ōī ō āēā ōçī ōŌī ōōPñēīç multimedia ēāē āñāōēēpī. ĀŌŌçō, ēPōēçēā āēāēP ī Ÿñēī í á āēā í á āīī āē Ōēī āēāōñŸ ōī chip, ēāē Ōēī

ī ēēī ī ī ēēū ōā āīŷñāāēā. ī ē ī ī ī āō cache ēāē ī ē buffers (āī ōāī ēāōōŷō) āēāōčñī ŷī ōāē āī ūōāñēēŪ.

Ç i i i Uaa aõaiañaaoõlaõ õu i aeañañbu i aeaeyõae superscalar aõiaõuõçõaõ. O i aaeõeu i Y i i bus õi õ aõaiañaaoõõp õõ i aUeeae õõç i ay i çõç õçõ õa-yõçõaõ i aõaõ i nUõ aãai i Y i u i, ÷añaeeõçñeeõõeu õi i õ i i añaee aõaiañbõçõõ i õa aõaiañ i ayõ multimedia. Aãai i Y i i õ uõ ç ÇN õõ i õõçññae õç i õñaeeõep õõ i aõñeeõ õi eõaõaiañaaoõla (symmetric multiprocessing), Y-ae a i u i aõpõae aêõuõ aõu õi aña i n i bus eae i i i Uaaõ ÷ñ i eõ i y õ i eep i aõaiañaaoõõp i õõ i i ñae i õõ i e i aeeõõp. AYaaea ea õñYõae i a õç i aeueañ uõ õõç i ñaea õaenU aõaiañaaoõõp i a i p e i õ i i HP PA7100 (120MHz) eae HP PA7200 (100MHz i a cache i yõa õõ i chip).

## Apple-IBM-Motorola PowerPC 601, 603

[illegible]

C 0a=EEP pipeling aei ei oea0ae eae oa aooYo oeo i i i Uaao ae0Yaoo0. Aea i a eaoa0oab i Ueeo0a OIraa Oepn0 i aaau0 o0o ouepi uo0o, aeOUai ra0e o0eo i i i Uaao OI o oi i a0a00ae oi i e ai oi eYo eae oa aaai i Yra ae ou i Oni oYnu i 0a0u oi aaai i uo uoe i OI naa i a i 0i +nae0u0a i a ae0ae0o0i yi. I +nu i i a aa0Uoi aoi o oi o aaui y (flush time) aa i ab i ae o0i ai oeuo oa o+Yoc i a oi i +nu i i OI o ari eei i i i ab0ae a0u o0i ooi a=P Oepnuoc eae eaeoi onaba oi o aaui y. I e eaoa+u00oYo OI o ae0ae0a0ae ab i ae 32 ou i 32 bit aea o0i i i i Uaa ae0na0u i eae Ueei e ouoi e aea o0i i i i Uaa eei co0o o0i ae0oi ep0.

## MIPS-Silicon Graphics/NEC

[illegible]

H oüēpíüóç óóēō īīīŪāāō áēāñāŪī éāē ēēīçōpō òōīāēāōīēpō Ÿ÷āē īūīī ŌŸīōā āōīōāāā ēāē āīīāē ēīēīp ēāē āēā ōīōō āŷī. Āōōū ōōīāōŪāāōāē āōēāñŪāōīōç ōōçī ōā÷ŷōçōā āōāīāñāāōŪāō ōā ō÷ŷōç īā ōīōō ōñīçāīŷī āīīōō āōāīāñāāōōŷō. Āēāēŷōāē āōīōçōō āŷī cache -data ēāē instruction- ōūī 8ĒĀ (ī āēūī Ÿīç ōōī īēōū ōā ō÷ŷōç īā ōīī "āāāēōū" R4400) ēāē 16 ĒĀ āīōŪōīē÷ā. ŌŸēīō, īē buffers Ÿ÷īōī ōāñēīñēōōāŪ ōōēō 32 āōū 48, ōñī ēāēī Ÿīīōīā īāēūēāŪ ōāñāēōŷñū ōī ēūōōīō ōīō chip.

## Sun/Fujitsu MicroSPARC II

Ç i ãiẽĩ ãĩĩ ááá òuĩ RISC áñẽi ã òóá ì Ýçç òçò éáé òi í ããĩãñãáóòp SPARC òçò Sun. Ç ãñi óóüẽáá òuĩ éáóáéáóüóóñẽuĩ Sun éáé Fujitsu áãéáá òñbĩ áááé éáé ääb óócí ì êñb

Ç 1 1 P1 ç cache ôûr ääâ1 1 Y1 ur Y÷âë 1 Yââë1 ò 8EÄ. Ç 1 1 r1 Uââ äëâñâ1 ur äëâöçñâ1 Y1 â1 äâ1 uâ1 öY1 òâ äðëöYâ1 ur. Ç äëâðëö1 öë1 ä1 uöçöç ôçð 1 1 r1 P1 çð âñ1 äöâë äëë1 rëëÜ (virtually) ëäë ü÷ë öðöëëÜ, äââ1 r1 uð ð1 ö äç1 ë1 öñââ1 öñüâëç1 ä öyâëñ1 ööçð ööç1 â1 äö1 nÜ 1 ëâð öðöëëPð ääyëö1 öçð ôçð 1 1 r1 P1 çð äðü äy1 äëë1 rëëYð. Ööç öðâëäëñë1 Y1 ç ö÷âââöç Y÷âë ëçëöââ üöüüö1 öðüöç ëäë îâðâñ1 ëYöâë 1 â öç1 ÷ñPöç äëâëP1 ëðëëë1 üöü1.

O Pentium áæáYðæ áæaoçñáß áðßoçð óá èyñæ "Yíððíá" ÷áñæoçñæoðæU òuí RISC áæèU, òñííobææ íá ðañáíáßíæ òóíááoúò íá oíòò ðñíáuííòò oíò eUííííáoð ÷ñßoç áíúò áæáonU òñíðíðíèçíYííò instruction set áðü áæáßíí òuí 486. Í eííííUááo áæáñáuí éæ èéíçòßò òðíáæáoíèßò áßíáé òúèçíúòYð, íá ðYíóá áðßðááá áæá òçí ðñßoç éæí÷òß áæá òçí ááyóañç. Ç ííííUáá ðñúáæáðçð áæáæéáßòáuí òðíóoçñæááoáé áðü áyí ííííUááo áíóáíßáoóçð Prefetch éæé èæèí òñááß éæé áðòß íá òçí èí áæèß òçð ðñúúñçð ðñíòèuíòóçð éæé áæòYæáoçð òuí áíòíèßí ðíò Y÷íòí òçí íááæýðáñç òð÷íúòçðá áæòYæáoçð. Í óáí ç èí áæèß áðòß è÷ýæè òúòá í ááúáúò òçð òúèèíúòçð ðañáíYíæ óá èæèí òñáßá, áoíUííííáoð Yðóé òçí áðüáíòç oíò áðáíáñááoß. Ç òñíòíáúòçðç òuí èæèí òñáèèßí ííííUáuí áßíáoáé áðü èèò áyí cache òuí 8EÁ ç éæéáíßá. Oí bus ðíò óóíáYæ òí í áðáíáñááoß íá òçí ííßí ç áßíáé 64-bit, áááííúò ðíò áðßoçð áoíUíáé òçí áðüáíòç éæé òçí óá÷yòçðá. Óá òñáíæòóíñò ðíò oíí áðíóæíYí òòUíííóí óá 3.1 áæáoíííyñæ éæé Y÷æ òçí áoíáúòçðá íá áèòæYðáé 112 áæáoíííyñæ áíòíèYð áíU ááoðáñúæðòí.

Aēñŭĩĩēā	
<b>FP Ɓ FPU</b>	Floating Point/Floating Point Unit
<b>ĩ ũU</b>	Memory Interface Unit
<b>ALU</b>	Arithmetic and Logic Unit
<b>CPU</b>	Central Processing Unit Multiply/Add/Divide units
<b>MMU</b>	Memory Management Unit
<b>BPU</b>	Branch Prediction Unit
<b>BIU</b>	Buffer Interface Unit
<b>GPR</b>	General Purpose Registers
<b>FPR</b>	Floating Point Registers
<b>LSU</b>	Load/Store Unit
<b>POWER</b>	Performance Optimization With Enchanced RISC